高性能微处理器物理设计方法研究

范宝峡

1 引言

微处理器是计算机系统最关键的部分，其设计制造也是计算机技术的核心。目前微处理器已经渗透到了人类生活的各个领域，开启了信息时代的大门。同时微处理器也广泛应用于传统行业，影响着这些行业的核心竞争力。

四十年前，第一颗商用微处理器 4004 问世。其频率仅有 108KHz，集成了 2300 个晶体管。而今天 SandyBridge-E 处理器集成了 22.7 亿个晶体管，频率最高可达 3.9GHz。可以说集成电路的发展速度，没有其它的行业可以比拟。

回首我们龙芯处理器的设计之路，2011 年是值得纪念的一年。十年前，龙芯一号的结构设计在 FPGA 平台上成功验证，随后诞生的龙芯一号，用事实回答了“中国能不能自主做出微处理器”的问题。而十年后的今天集成了近 6 亿晶体管的龙芯三号处理器成功运行在 1GHz，其发展速度丝毫不亚于“摩尔定律”。

微处理性能及集成度的飞速发展，背后的推动力是什么？其一是系统结构的持续发展：从复杂指令集到精简指令集，从单发射静态流水线到多发射动态流水线，从单核长流水到多核短流水等等一系列技术的进步极大地推进了处理器性能提高；其二是测试、验证技术的不断进步：从简单的功能测试到复杂的可测性设计，现代集成电路随机验证和等价性验证的飞速发展也都有效地推动了微处理器设计的不断进步。当然最本质的推动力还是来自日新月异的半导体制造技术，集中体现在晶体管特征尺寸不断缩小的能力，这也是摩尔定律的本质。

每十八个月翻一番的芯片集成度以及随之而来的功耗、成品率问题向与其紧密相关的物理设计方法学提出了越来越严重的挑战，也促进了物理设计方法的不断变革。这其中性能、功耗无疑是最重要的主题。

2 高性能设计方法学

自从 90 纳米制造工艺问世之后，集成电路设计进入了纳米时代。纳米时代芯片集成度还在以摩尔定律惊人的发展着，按比例缩小技术似乎并没有放慢的迹象，一切看上去都那么自然。然而当我们把目光放在芯片物理实现上，情景并非如此。芯片设计制造正遇到越来越严重的挑战：逐渐逼近物理极限的晶体管和互连尺寸使得在片波动影响越来越大；功耗密度的飞速增长和有限的自然散热能力之间的矛盾越来越突出；不断缩小的器件延迟和不断增加的互连延迟，使得传统上以器件为中心的设计方法学面临着巨大的挑战；同时随着互连耦合电容成为总电容的主导因素，如何防止因此引起的串扰效应依然困扰着人们；可制造性设计[1]/成品率导向设计[2]问题正从幕后走到芯片设计者面前。这些挑战正深刻地影响着物理设计方法学的变革。

[1] Design for Manufacturability, DFM
[2] Design For Yield，DFY

2.1 全定制和 ASIC 物理设计方法

物理设计方法学有两个主要的分支：全定制（Full Custom）和 ASIC[3]。两种方法各有优缺点，在现代大规模集成电路中都有广泛的应用。

2.1.1 全定制的设计方法

全定制是最早被采用的物理设计方法，它也是早期电路设计唯一的方法。它的主要思想是根据结构设计要求进行手工电路设计、手工版图设计。其基本特征是：晶体管是基本设计元素，每一个晶体管都独立可调。电路设计是全定制设计最重要的环节，它不仅要实现电路的功能，还很大程度上决定了电路的速度和功耗。在进行电路设计的同时还要考虑版图设计。版图设计就是根据电路设计的结果把电路转换成版图，把每个晶体管和晶体管间的连接转换成图形。版图设计完成后还要进行验证检查工作: 版图对原理图检查（Layout Versus Schematic，简称 LVS）和设计规则检查（Design Rule Check，简称 DRC）。全定制的优点是对工具依赖少，可以采用多种电路风格，设计空间大。全定制设计通常只要版图编辑检查工具、寄生参数提取及电路仿真工具。由于没有电子设计自动化[4]工具的限制，设计者可以根据需要采用静态、动态电路，改变晶体管宽长比，采用模拟电路等等，从而大幅提高电路性能或减少面积。限制电路性能的主要因素不是自动化工具，而是制造工艺和设计者的创造性。由于所有工作都是版图级手工操作，因此全定制设计的一个问题是工作量大，同时需要有经验的工程设计人员。当然随着电子设计自动化技术的不断进步，全定制设计的自动化程度也在提高。全定制设计的另一个难点是验证。这包括两个方面：逻辑功能验证和时序验证。由于缺少静态的逻辑等价性检查和时序分析工具，通常采用 HSPICE 仿真进行验证，给出测试向量，观察输出波形是否正确。而有限的测试向量很难覆盖到所有情况，难以保证一次性正确，因此常需要多次流片验证。由于设计成本高、验证困难，目前全定制的方法多用在：（1）可以多次使用的部分，如库单元。（2）性能或面积为主导因素的部分，如 RAM 等宏单元。（3）成本不是主要设计障碍的地方，如高性能微处理器，由于其销售量大设计成本不占主要地位。

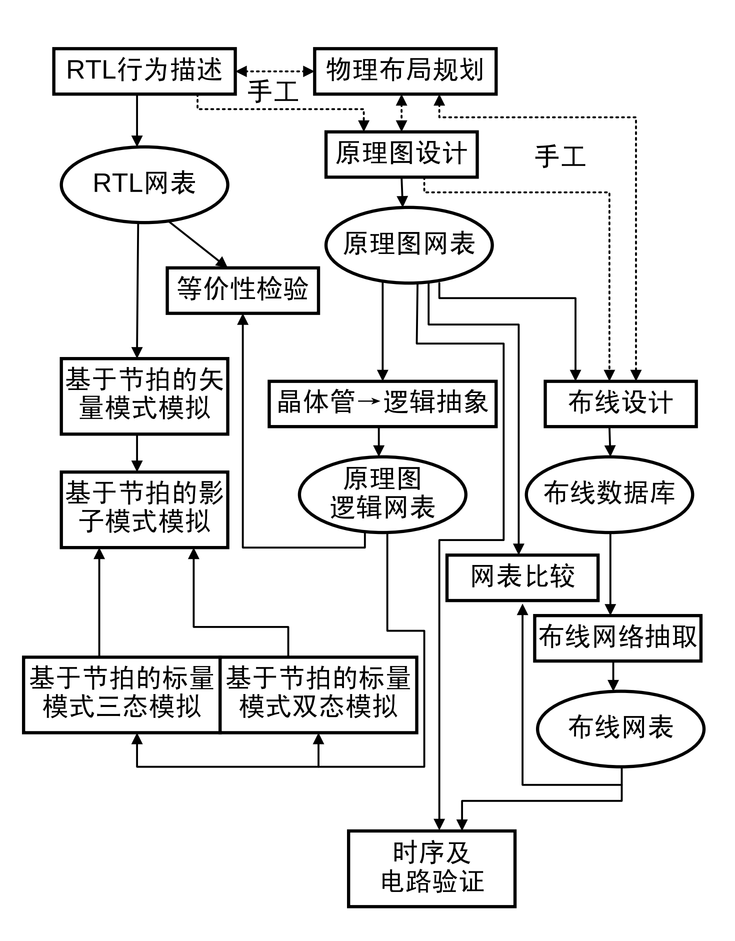


图1. ALPHA 全定制设计流程

全定制设计方法的一个经典例子是 90 年代中期美国 DEC 公司的 ALPHA 处理器，用 0.35μ的工艺达到了 600MHz，可以说是当时微处理器设计的最高水平。图 1 显示了 ALPHA

[3] Application-specific integrated circuit，专用集成电路
[4] Electronic Design Automatic，EDA

处理器全定制的基本流程[3]。RTL[5]的行为级描述作为设计的输入。设计包含三个主要部分：RTL 网表、原理图设计、手工版图。一方面对行为级 RTL 进行改造，综合生成门级网表。门级网表作为原理图等价性检查参考对象，同时也作为仿真比较的输入。另一方面对行为级描述进行手工原理图设计，生成原理图网表。原理图网表用于版图设计，作为物理规划参考，同时也用于正确性检查。正确性检查分三个部分：一部分是原理图网表和最终版图提取的网表间等价性检查；另一部分是电路时序检查，原理图网表及版图提取出寄生参数一起进行时序检查和分析；除此之外，还要对原理图网表进行逻辑级抽取，提取出的逻辑网表和门级综合的网表做等价性检查。除了门级网表和原理图设计之外的另一个重要工作是版图设计相关工作：先进行物理版图规划，规划结合 RTL 行为级描述、原理图及版图迭代进行；在原理图设计完成之后进行版图设计；针对版图设计的结果抽取寄生参数，用于时序检查。从整个设计流程可以看出，正确性验证检查工作占了很大比例。

2.1.2 ASIC 的设计方法

ASIC 的本意是专用集成电路。由于其设计方法基本上都采用基于标准单元的设计方法，因此常用于特指基于标准单元的电路设计方法。下图是一个典型的 ASIC 设计流程图。在 ASIC 设计中基本输入是 RTL 文件、单元库文件及设计约束，由工艺厂商和结构设计人员提供。根据这些文件进行综合，把 RTL 转换成门级网表。然后进行布局布线，生成最终网表及数据库文件。由于时序、面积等问题，综合、布局、布线可能要进行多次迭代。网表和 RTL 间的一致性由等价性验证来保证。由寄生参数和网表文件联合进行时序分析。时序分析的结果反馈到布局布线阶段进行修复。在版图对原理图检查/设计规则检查全部通过后生成 GDSII（Geometry Data Standard II）文件。

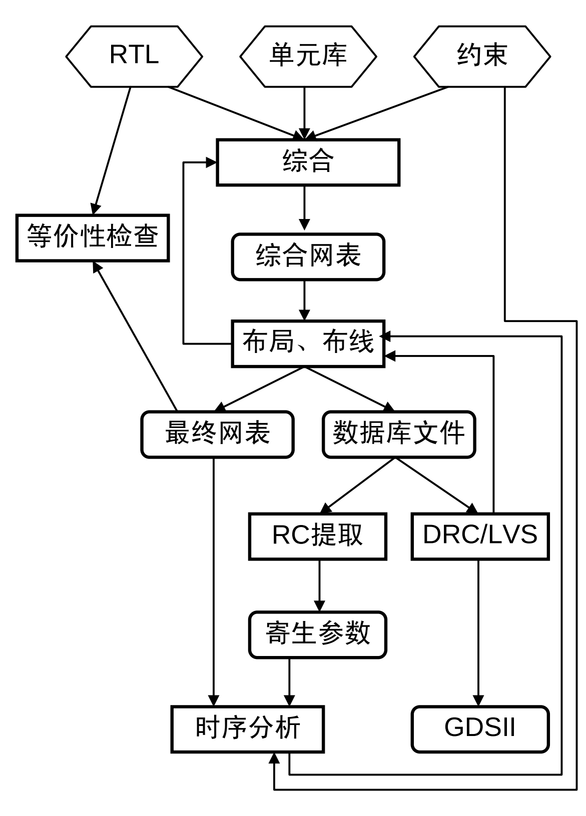


图2. ASIC 基本流程图

标准单元是具有相同高度的各种驱动和扇出的门级逻辑器件的统称，通常由工艺厂商提供。ASIC 方法主要流程都是由工具自动完成，对人员要求不那么高，设计速度也快得多。因此相比于全定制方法，ASIC 的设计方法成本要少得多。而且近年来由于电子设计自动化工具的不断进步，ASIC 的设计质量快速提升。采用 ASIC 方法设计的高性能电路工作频率也达到了 1GHz 以上。相比于全定制方法，ASIC 方法的另外一个优点是正确性更容易保证，这包含两个方面：功能正确性和时序正确性。一方面不断完善的等价性检查工具大大增加了物理设计者的信心，同时也方便了设计中的增量式修改（Engineering Change Order，简称 ECO）；另一方面不断增强的静态时序分析工具在对设计进行全面时序检查同时，也在不断加入了新的方法以适应纳米级设计需求。ASIC 设计方法处理大规模、复杂设计也比较容易，层次化方法、IP 设计方法、多角多模（MCMM，Multi-Corner Multi-Mode)的方法大大方便了对大规模设计的处理。

[5] Register Transfer Level，寄存器转换层，硬件描述语言的一个描述层次

ASIC 方法尽管得到了广泛的应用，但也绝非完美。首先，设计前期的时序、面积估计和最终实现结果往往相差较大。这是由于设计前期连线延迟、时钟分布情况很难有准确的估计，在连线延迟占主导因素的情况下更是如此。同时，串扰效应对时序的影响只有到设计后期布线完成后才能知道，这就使得设计早期很难准确估计芯片时序。另外，ASIC 流程中设计者的控制能力很弱。设计被标准单元和电子设计自动化工具封装起来，设计者通常只能改变一些简单的过程选项，新的意图和方法往往不容易实现，从而影响设计性能的提高。

2.2 统计时序分析

随着晶体管尺寸逐步缩小到纳米级，高性能集成电路中晶体管的性能对在片波动变得越来越敏感。为分析工艺波动对延迟的影响，传统的基于确定性的静态时序分析工具采用了多个工艺角[6]及时间缩减因子（timing derating）等方法。但这些方法往往不够准确，使设计变得越来越复杂和过于保守。因此根据工艺参数波动的规律，人们提出了统计时序分析方法。

2.2.1 基于路径（Path-based）的统计时序分析方法

基于路径的统计时序分析方法是针对一些挑选出来的时序路径进行统计时序分析。这些路径有可能成为关键路径，对电路的延迟有决定性的影响。基于路径的分析方法的目的是估计这些挑选出路径的延迟分布。首先对每一条路径进行分析计算。文献[1]给出了单个路径统计分布的计算公式。该公式假定整条路径延迟是每一个工艺参数的一阶函数，而每一个工艺参数都符合标准的正态分布，对一系列关键路径进行计算，可以得到统计延迟概率分布，如图 3 所示。图中 N_{cp} 表示关键路径的数量。可以看出，随着关键路径数量的增加，延迟分布越来越集中并偏向延迟增大的方向。这一方面表明满足设计时序要求的可能性随着关键路径数量增多而降低。另一方面，随着关键路径数量增加延迟分布更加集中。这说明关键路径数量的增多降低了设计对工艺在片波动的敏感度。当关键路径数量增加到一定程度时，芯片几乎必然只能工作在低频率。

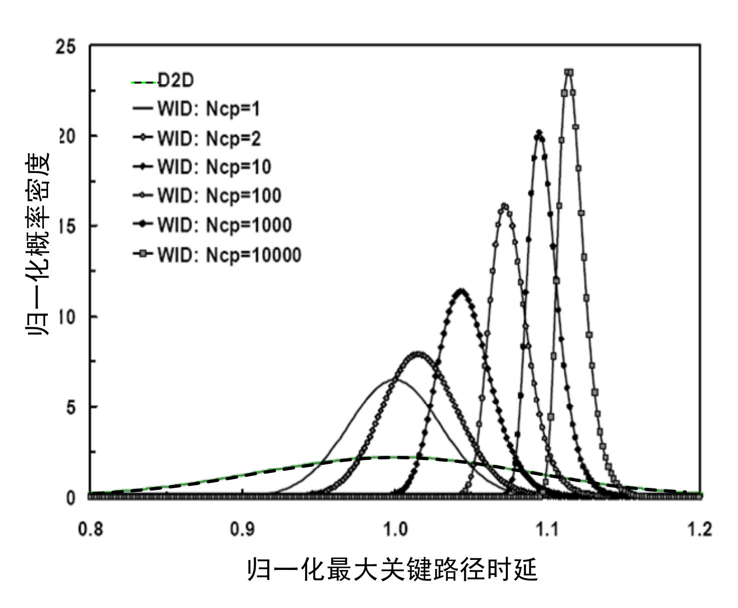


图3. 关键路径数量对延迟分布的影响

基于路径的方法每次分析一条关键路径，而这些关键路径数量可能很多。特别是对于那些流水级间路径比较平衡的设计，影响最终延迟分布的关键路径非常多，使得分析非常困难。另外一个问题是如何选取这些关键路径，：不能只根据延迟均值大小来选择，因为那些延迟均值比较小的路径有可能具有大的方差而成为影响最终延迟分布的关键路径。

2.2.2 基于块（Block-based）的统计时序分析方法

[6] Process Corner，在集成电路制作工艺中用以表示能保证其间正常工作的工艺参数误差的极限

基于块的统计时序分析方法对整个时序路径图进行拓扑遍历。这一点和传统的静态时序方法非常类似。对每一个时序节点进行分析，计算出其延迟分布。对每一个节点的到达时间计算有两个基本的操作：加法与求最大值。每一个节点的延迟都等于其前面延迟加上本身器件延迟。对于多扇入的器件，计算其后延迟分布就是对所有时延路径求到达时间最大值。求和操作并不复杂，而求最大值的操作则相对复杂。对于每一个节点只可能有两种到达时间分布(上升和下降到达时间)。基于块的方法的计算量和设计规模是线性关系。由于其在计算时间上的优势，目前许多研究集中在这一方法上。值得注意的是随着电路逻辑深度的增加，这种方法得到的延迟分布也越来越宽，计算量也就越大。要在精度和计算量间取得平衡，可以考虑对于宽的延迟分布进行压缩。文献[5] 讨论了压缩对精度及计算量的影响。通过加法及最大值的操作，整个电路各节点的延迟都可以被计算出来。

2.2.3 空间相关的统计时序分析方法

前面的基于路径或基于块的方法都是假定工艺参数变化是独立随机变化。而参数波动还有另外一种形式：空间相关的波动。物理位置相近的器件，波动比较接近，其分布符合一定的规律。同样的，空间相关的统计分析方法也分两步：对延迟建模和延迟的统计计算。要准确地描述两个相近器件空间相关参数变化，需要对这两个器件单独建模，每一个都认为是单独的随机变量。它们的相关性随着两者之间的距离增加逐渐变小。文献[2]则提出了四叉树模型。这些方法利用少量的独立随机变量来描述芯片级的空间相关性。下面以四叉树模型说明这一方法。如图 4 所示，用四叉树的方法对芯片进行多次切分，使其分成多个小区域。每一级区域的数量都是前一级数量的四倍。每一级的小区域都被赋予一个独立的随机变量。最底层区域器件的参数波动是前面所有各级独立随机变量的和，器件间空间相关性由共有的随机变量体现。距离越近的器件有越多的公共随机变量，相关性也就越强。

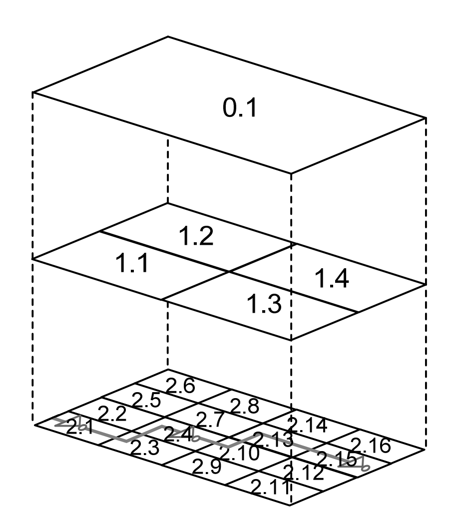


图4. 利用四叉树切分的空间相关模型

2.2.4 工业界统计时序分析方法

以上是学术界统计时序的分析方法研究现状。在工业界，主要的电子设计自动化工具厂商都提出统计时序分析的解决方案。考虑到可实现性，采取了很多简化。下面以 SYNOPSYS[7]的 PrimeTime 为例简述工业界的分析方法[7]。首先建立门延迟对参数变化的关系，然后分析整条路径的延迟分布。延迟对工艺参数变化的关系见图 5。图中描述了门延迟 D 对工艺参数 Q 的依赖关系。这种依赖关系可以近似地用两段线性函

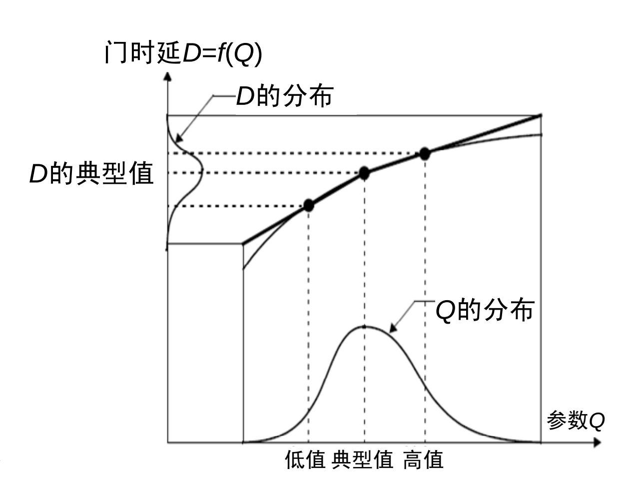


图5. 延迟对工艺参数的函数

[7] 美国电子设计自动化软件供应商，中文名称为“新思科技”

数表示，以典型值（参数变化为 0 点）为基础，左右各找一个点，用 HSPICE 计算出相应的延迟值。对于那些和门延迟有很高线性度的工艺参数，可以用一个点（单段线性）描述延迟函数。对于多个参数的延迟统计分析，则需要多个点分别表述门延迟对相应参数的函数。假设总共有 N 个工艺参数需要考虑，门延迟函数建立总共需要 2N+1 次计算。由于各参数间彼此独立，它们的影响可以直接叠加。可以看出，这种方法所需的计算量非常小，但精度不高，特别是对于非线性的延迟函数更是如此。对于近似线性的函数，点的取值也非常关键，需要在线性好的部分取点。在计算整条路径延迟分布时，采用连续取点的办法，利用线性插值法计算对应的门延迟。另外一个重要的问题是相关性的处理，在 PrimeTime 中可以对工艺波动设置不同相关性。有三类不同的相关性：自动相关（atuo-correlation）、交叉相关（cross-correlation）、空间相关（spatial-correlation）。自动相关是指同一种工艺参数对不同器件的影响，比如：沟道长度在不同芯片间有波动，在同一芯片的不同器件上也有波动，用这类相关性系数来表征两种波动的相对大小：最高值为 1.0，意思是全相关；最小值为 0，意思是完全独立无关，用于描述片内工艺参数随机变化的情况。交叉相关是指同一门单元上不同的工艺波动参数间有相关性，用于描述工艺参数间的相关情况。空间相关是指芯片上两个器件间的相关度是距离的函数，用于描述器件间的空间相关，器件间距离越近相关度越大，距离为 0 时相关值为 1.0，即全相关，随着距离的增加，相关度趋于 0。

3 低功耗设计方法学

当前高性能处理器集成了数十亿个晶体管，导致了芯片功耗消耗及功耗密度大幅增加，使得设计开始受限于封装及其散热的能力。在纳米工艺下，漏电功耗迅速增加，已经接近或超过动态功耗。为解决功耗问题，物理设计中正在研究并采用一系列低功耗方法。

3.1 低功耗设计方法学

3.1.1 系统级低功耗设计

如图 6 所示，今天的低功耗设计已经成为从结构、逻辑设计到物理设计、工艺制程互相融合的系统级工程。低功耗控制体现在芯片设计的各阶段。在系统、结构设计时就要考虑封装散热限制；在结构设计时采用增加并行度、短流水以降低处理器工作频率，同时提高芯片性能；在系统级就要考虑各种低功耗状态，如目前常用高级电源管理（ACPI）；在逻辑设计时就要考虑控制无效翻转以降低动态功耗，同时引入功耗管理单元（PMU）进行各种低功耗控制，如控制门控电源网络各信号开启、关闭顺序等等；在物理设计阶段要进行各种低功耗方法的实现，如利用多阈值电压单元、电源门控等以降低漏电功耗，利用门控时钟、多电压域、动态电压调节等以降低动态功耗；

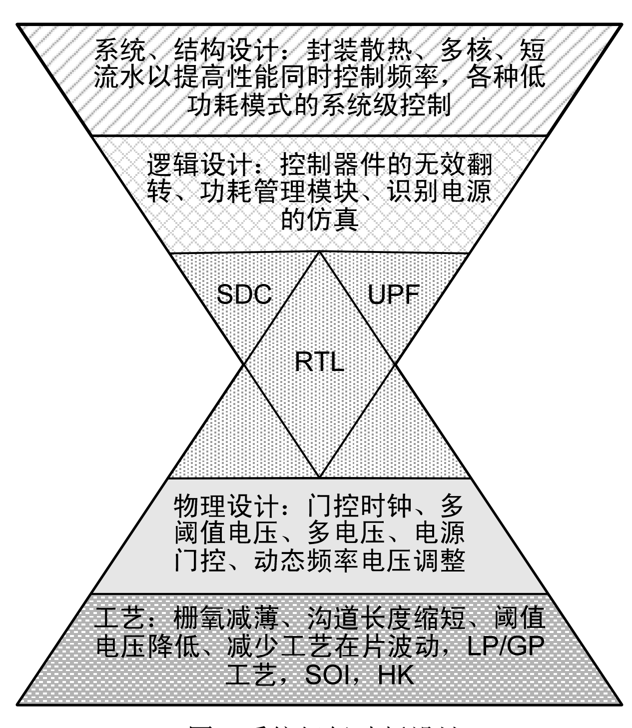


图6. 系统级低功耗设计

在工艺方面采用 LP[8]/GP[9]混合工艺以降低漏电功耗、采用 SOI[10]、HK[11]工艺方法以降低漏电同时提高性能。低功耗的设计方法使得系统级和物理级结合更加紧密。在 RTL 和 SDC[12]之外，又增加了一个电源管理文件（如 UPF[13]）作为系统和物理设计的纽带。

3.1.2 常用低功耗技术

动态功耗是由信号翻转产生的。在信号翻转过程中，晶体管对自身及所带负载电容充放电。对 CMOS 电路来说，在信号翻转瞬间，PMOS 和 NOMS 同时打开，产生的短路功耗也是动态功耗的重要组成部分。动态功耗有四个主要影响因素：供电电压、频率、翻转率、负载电容。降低动态功耗的方法在本质上就是要降低供电电压、降低时钟频率、减少器件无效翻转及降低负载电容。静态功耗是信号不翻转时产生的功耗，由源漏间、栅和衬底间等漏电流组成。影响静态功耗的主要因素有：温度、阈值电压等。

(1). 时钟门控

尽管时钟树上所用的缓冲器及其所带的触发器通常只占全部单元的一小部分，但它们所消耗的功耗通常占到总功耗的一半以上。这是因为时钟信号每周期翻转两次，是一般组合逻辑的二十倍以上。因此控制时钟信号的翻转是降低动态功耗的最有效的办法，也是目前最广泛采用的方法。文献[6]比较了两个几乎完全相同的设计：一个采用门控时钟，另一个没有采用门控时钟。结果表明门控时钟设计节省了 40%的总功耗，主要是由于 60%以上时钟器件被门控。另外其研究也表明，门控少于三位的触发器组是没有意义的，甚至还会增加功耗。

(2). 门级功耗优化

在门级实现时，可针对翻转率情况改变逻辑结构，达到降低功耗的目的。如高翻转率的信号线，在使用时尽可能放在逻辑后期使用，而且使用时尽可能减轻负载，以降低整体的翻转率和负载。这种方法实现时有一定困难，主要是翻转率并不容易确定。其他的一些有效的方法包括改变门单元大小、插缓冲器等。小的器件本身消耗功耗少，可以降低功耗。但也并不是越小越好，因为会导致延迟和输出斜率增加，从而增加下一级逻辑的功耗。

(3). 多电压域

动态功耗和供电电压的平方成正比，因此降低供电电压是降低功耗的最有效方法。实际上，随着工艺的按比例缩小，供电电压在不断下降。单个晶体管的动态功耗随特征尺寸缩小而不断降低。对芯片内运行在不同频率的模块分别采用不同的供电电压也是一个降低功耗的有效方法。运行速度要求高的部分，如处理器核，使用高电压域；运行速度要求低的部分，如 PCI[14]模块等采用低电压供电。多电压域的主要的问题是供电网络及跨电源间逻辑设计复杂。

(4). 多阈值电压

纳米工艺下，多阈值逻辑已经成为降低漏电功耗的常用方法。器件漏电功耗和阈值电压是指数关系，而阈值电压对延迟的影响相对要小一些。对于 90 纳米以下工艺，20%的延迟

---

[8] Low Power，低功耗
[9] General Purpose，通用
[10] Silicon-on-insulator，绝缘体上硅
[11] 高介电系数
[12] Synopsys Design Constraints，时序约束
[13] Unified Power Format, 统一功率管理格式
[14] Peripheral Component Interconnect，互连外围设备

损失，可以降低 80%的漏电功耗[4]。目前，纳米工艺中都会提供三种不同阈值类型的单元。电子设计自动化工具可以根据时序、功耗情况自动选择合适器件。可以在不影响时序的情况下，通过不同阈值单元的替换来降低漏电功耗。

(5). 电源门控

电源门控是一项复杂的降低漏电功耗的方法。在芯片工作时，通过有选择地关掉不用的模块来降低漏电功耗。当被门控模块的电源关掉时，其输出信号变为不定态，到完全关掉的状态可能要很长时间，从而引起和其相关的常开电源域的短路功耗大大增加。为解决这一问题，通常在电源门控模块和电源常开模块间使用隔离单元（isolation cell）进行隔离。另外，对门控部分，需要解决的一个问题是信号保持。电源关闭时希望保留一些状态以供开启时使用。这通常采用保持触发器（retention register）实现。电源门控部分的逻辑设计和验证也是一个难点。

(6). 动态电压频率调整

动态频率调整是根据工作负载情况，芯片可以自动地降低工作频率以降低功耗。由于频率和动态功耗的线性关系，这种方法对降低动态功耗非常有效。动态电压调整则是一项复杂的低功耗方法。它是根据芯片工作负载情况自动地降低供电电压，达到降低功耗的目的。由于动态功耗和电压的平方成正比，降低电压的节能效果非常明显。动态电压调整的缺点是电源网络设计复杂，同时启动关闭的控制很有难度。

(7). 衬底偏压调节

衬底电压对晶体管阈值电压有直接的影响。通常所说的阈值电压是指衬底电压为零时（zero body biasing）的值。当衬底电压正偏（forward body biasing）时，阈值电压会降低。反之，当衬底电压反偏（reverse body biasing）时，阈值电压增高，从而导致漏电功耗下降。

3.1.3 各种低功耗设计方法的比较

各种低功耗方法在降低漏电功耗、动态功耗效果上各有不同，在对于时序、面积的影响以及实现难度、验证难度、仿真难度上差别也很大。下表比较了各种降低功耗方法[8]。逻辑优化、多阈值电压和时钟门控，这三种方法是比较基本的，现代集成电路中常用。它们的效果还是比较明显的，特别是多阈值电压和时钟门控。另外几种方法：多电压域、电源门控、动态电压频率调整、衬底偏压调节是相对高级的低功耗方法。功耗降低明显，但设计、验证难度也大。

表1. 各种低功耗方法比较

低功耗技术	漏电功耗	动态功耗	时序代价	面积代价	实现难度	验证难度	仿真难度
逻辑优化	1.1×	10%	0%	-10%	无	无	无
多阈值电压	6×	0%	0%	2%	低	低	无
时钟门控	0×	20%	0%	-10 ~ 2%	低	低	无
多电压域	2×	40~50%	0%	<10%	中	中	低
电源门控	10-50×	~0%	4-8%	5~15%	中高	高	高
动态电压频率调整	2-3×	40-70%	0%	<10%	高	高	高
衬底偏压调节	10×	-	10%	<10%	高	高	低

3.2 高性能微处理器低功耗设计实例

在高性能微处理器中，IBM 公司的 Power 系列处理器是很好的范例。高性能处理器的性能是其最重要的设计指标。Power7 的 8 核和 4GHz 主频体现了这一点。然而并不是说追求性能就不考虑功耗、成品率指标，恰恰相反 Power7 在设计中对功耗、面积、成品率等方面都做了很多考虑。单从功耗控制角度看，Power7 从工艺、电路到系统都有一整套完整的方案。

3.2.1 IBM 的 SOI 工艺

IBM 工艺上最值得称道的是 SOI 技术，早在上世纪 90 年代末 STAR 系列处理器就已采用了 SOI 工艺。在 2000 年左右，面向服务器的 POWER4 处理器采用了 0.18 微米的 SOI 工艺，工作频率 1.3GHz。

SOI 工艺最初的目的是提高性能，而提高性能的方法之一是降低结电容。图 7 显示了 SOI 工艺如何降低了扩散电容

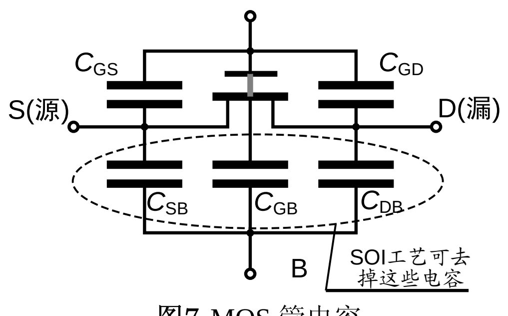


图7. MOS 管电容

SOI 工艺去掉了绝大部分结电容，我们知道结电容由两部分组成：

$$C_{\text{diff}} = C_{\text{bottom}} + C_{\text{SW}} = C_{\text{j}} \times Area + C_{\text{JSW}} \times Perimeter$$

其中：***Area*** 为结面积，***Perimeter*** 为结周长。

随着工艺特征尺寸的不断缩小，C_{j} 正成为主要的电容。这是由于在器件图形按比例缩小时，为了克服短沟道效应，沟道掺杂浓度必须增加，基本上每一代是上一代的 1.6 倍，而每一代由缩尺导致器件面积减少到原来的 0.7 倍，二者相乘，整个结电容基本不变。这样，按比例缩小就不能使开关速度提高，而 SOI 工艺几乎去掉了所有的结电容，从而解决了这一问题。

SOI 性能提高的另外原因是阈值电压降低。由于衬底在电气上是浮空的，SOI 器件的衬底偏压都大于 0，并且由于电气浮空，衬底偏压是不稳定的，因此阈值电压也是不稳定的。为了解决这一问题，最简单的办法是采用全耗尽的 SOI 器件。所谓全耗尽 SOI 就是让 SOI 器件层足够薄，使它能够小于器件的沟道耗尽区宽度。耗尽区没有电子，衬底偏压不会引起电子流向源级，因此对器件阈值电压没有影响。然而全耗尽的最大问题是器件层制造困难，因为这要求完美的单晶硅。实际上 IBM 的 SOI 工艺采用的是部分耗尽工艺，这也利于控制短沟道效应。除此之外，采用部分耗尽工艺通过控制器件层的厚度可以制造出各种阈值电压的器件，用于低功耗设计，而全耗尽工艺不可能做出高阈值的器件。阈值电压的降低会导致漏电流的增加，因此 SOI 工艺的漏电控制点通常设在使最差情况下的漏电和体硅工艺的最差情况（最小沟道长度）相同，而在通常情况下（标准沟道长度）SOI 和体硅工艺相比漏电要增大 10 倍左右。但在电压降低的时候，SOI 工艺的漏电降低得更快，在低压时

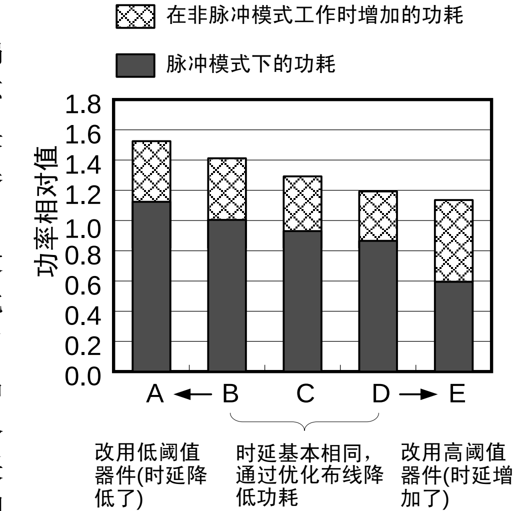


图8. POWER7 CSE 使用情况：
（B 为标准单位 CSE，C 为两位 CSE，D 为半个 pitch 的两位 CSEpitch 的两位 CSE）

可以做到和体硅工艺的漏电基本差不多。

3.2.2 Power7 时钟存储单元的低功耗考虑：

在 Power7 中共有两百万个时钟存储单元[15]，其设计的优劣对整个电路的面积、性能、功耗以及可靠性都有重要的影响。标准的时钟存储单元是由两级的主从锁存器[16]组成[10]。对于性能关键路径，采用脉冲锁存，相当于标准时钟存储单元中去掉主锁存器。为了降低功耗，大多数时钟存储单元提供了几种不同的阈值电压器件，不同的阈值电压，漏电功耗不同。同时还提供了多种驱动强度单元。除此之外，设计了标准的单位时钟存储单元、两位时钟存储单元（Double-CSE，两位存储单元公用一个时钟反相器）、两位半尺寸时钟存储单元（double-CSE/half-pitch）。图 8 显示了这三种类型触发器的功耗比较，可以看出从类型 B 到 D 延迟基本相同，但功耗有大约 15%的变化。类型 A 为低阈值器件，功耗增加速度提高，而类型 E 相反。

3.2.3 POWER7 休眠管理

自 Power6 以后，Power 系列处理器具备了功耗管理的能力，即所谓的能量调节（EnergyScale）。能量调节包含了以下几种模式：降低静态功耗、降低动态功耗和性能最优模式。这种调节是一个系统工程，涵盖了温度/功耗测量、各种低功耗技术、系统级控制支持等方面。让我们首先看一下 Power7 的休眠管理。

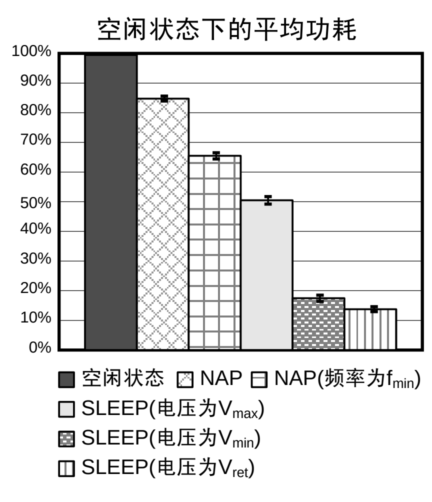


图9. Power7 的休眠管理

Power7 有两种主要的休眠模式：NAP（小憩）和 SLEEP（睡眠）[9]。它们都是在处理器核不工作的状态下进行功耗管理。NAP 状态是通过时钟门控实现的。此状态下处理器各功能部件的时钟关掉，处理器核的时钟频率可单独降低，而缓存和 DTLB[17]保持状态，这样唤醒时间会非常短。SLEEP 状态是通过功率门控[18]实现的。此时处理器核关掉所有时钟，同时清空缓存，电压降低到 Vmin（待机（retention）状态），用以保持需要的待机的寄存器值。图 9 显示了不同休眠模式下功耗的比较，可以看出 Power7 的休眠管理非常细致，不同模式间功耗变化很大。

3.2.4 Power7 的动态电压与频率调节技术

应该说 Power7 所用的动态电压与频率调节技术[19]是非常成熟的。每个处理器核可以单独调节频率和电压。处理核的电压调节不影响核外部分运行。为实现这一点，处理器核和核外电路采用异步结构。为了提高动态电压与频率调节效能，使得处理器运行时性能、功耗可以取得更好的平衡，Power7 对缓存部分单独供电。这样

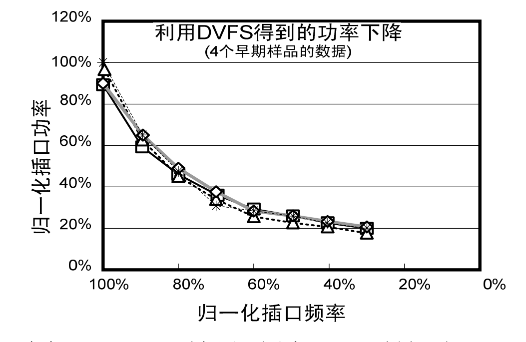


图10. DVFS 效果，频率 60%时达到 Vmin

[15] clocked storage elements，CSE
[16] Master-Slave Latch，MSL
[17] Dual Translation Lookaside Buffer，两层数据转换后备缓冲器
[18] Power Gating，亦有译作“电源闸控”
[19] Dynamic Voltage and Frequency Scaling，DVFS

Power7 提供了两种可调的处理器内部电平：处理器核逻辑部分和缓存部分。缓存部分的较高电压可以使处理器运行在更高的主频上，而低电压可以大幅度降低漏电。图 10 显示了动态电压与频率调节效果，可以看出随着处理器频率和电压的动态调整，处理器的功耗有近80%的变化。

4　结束语

高性能微处理器的集成度和性能还在日新月异的发展着，由工艺特征尺寸不断缩小所带来的纳米级的各种效应正成为越来越严重的挑战。这其中功耗和在片波动的影响最为严重。尽管对于高性能微处理器而言，性能仍然是最重要的指标，然而“现在不采用任何低功耗措施的微处理器已经不存在了”。事实上，现在高性能处理器的各种低功耗措施已丝毫不亚于移动应用的低功耗处理器。我们看到趋势是——平衡与融合。

参考文献：

[1] C. Amin, N. Menezes, K. Killpack, *et al*. Statistical static timing analysis: how simple can we get?, In the proceedings of the 42th Design Automation Conference (DAC), pp.652–657, 2005.

[2] A. Agarwal, D. Blaauw, V. Zolotov. Statistical timing analysis for intra-die process variations with spatial correlations, In the proceedings of the 2003 International Conference on Computer-Aided Design (ICCAD), pp.900–907, 2003.

[3] W. Grundmann, D. Dobberpuhl, R. Allmon, N. Rethman, Designing high performance CMOS microprocessors using full custom techniques，In proceedings of Design Automation Conference (DAC), p.722-727, 1997.

[4] M. Keating, D. Flynn, R. Aitken, *et al*. Low power methodology manual for System-on-Chip design, Synopsys, Inc. & ARM Limited. 2007.

[5] J. Liou, K. Cheng, S. Kundu, *et al*. Fast statistical timing analysis by probabilistic event propagation, In the proceedings of the 38th Design Automation Conference (DAC), pp.601-666, 2001.

[6] K. Pokhrel. Physical and silicon measure of low power clock gating success: an apple to apple case study, Synopsys User Group (SNUG), 2007.

[7] PrimeTime VX user guide, Synopsys, 2009.

[8] V. Shukla. Low power ICD talks, CDN Live, 2007.

[9] M. Ware, *et al.* Architecting for power Management: The IBM® POWER7™ approach, HPCA, 2010.

[10] J. Warnock, *et al.* POWER7TM　Local clocking and clocked storage elements, ISSCC, 2010.

作者简介：

范宝峡：　龙芯中科技术有限公司，物理设计工程师 fanbaoxia@ict.ac.cn